

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

EXPRESS MAIL NO. EV351234714US

Applicant : Jun-Young Lee, et al.  
Application No. : N/A  
Filed : July 7, 2003  
Title : DEVICE AND METHOD FOR DRIVING PLASMA  
DISPLAY PANEL

Grp./Div. : N/A  
Examiner : N/A

Docket No. : 50431/DBP/Y35

LETTER FORWARDING CERTIFIED  
PRIORITY DOCUMENT

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450


Post Office Box 7068  
Pasadena, CA 91109-7068  
July 7, 2003

Commissioner:

Enclosed is a certified copy of Korean patent Application No. 2002-0043254, which was filed on July 23, 2002, the priority of which is claimed in the above-identified application.

Respectfully submitted,

CHRISTIE, PARKER & HALE, LLP

By   
D. Bruce Prout  
Reg. No. 20,958  
626/795-9900

DBP/aam  
Enclosure: Certified copy of patent application



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2002-0043254  
Application Number

출원년월일 : 2002년 07월 23일  
Date of Application JUL 23, 2002

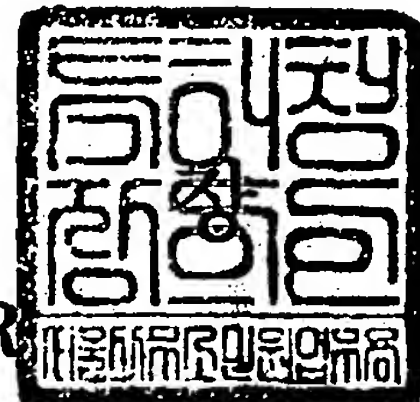
출원인 : 삼성에스디아이 주식회사  
Applicant(s) SAMSUNG SDI CO., LTD.



2003 년 06 월 10 일

특 허 청

COMMISSIONER



## 【서지사항】

|            |   |
|------------|---|
| 【서류명】      | 특허출원서   |
| 【권리구분】     | 특허  |
| 【수신처】      | 특허청장  |
| 【참조번호】     | 0002  |
| 【제출일자】     | 2002.07.23  |
| 【발명의 명칭】   | 플라즈마 디스플레이 패널의 구동 장치 및 구동 방법                            |
| 【발명의 영문명칭】 | APPARATUS AND METHOD FOR DRIVING A PLASMA DISPLAY PANEL |
| 【출원인】      |   |
| 【명칭】       | 삼성에스디아이 주식회사  |
| 【출원인코드】    | 1-1998-001805-8   |
| 【대리인】      |   |
| 【명칭】       | 유미특허법인  |
| 【대리인코드】    | 9-2001-100003-6   |
| 【지정된변리사】   | 이원일   |
| 【포괄위임등록번호】 | 2001-041982-6   |
| 【발명자】      |   |
| 【성명의 국문표기】 | 이준영   |
| 【성명의 영문표기】 | LEE, JUN YOUNG  |
| 【주민등록번호】   | 701003-1069322  |
| 【우편번호】     | 330-773   |
| 【주소】       | 충청남도 천안시 신부동 대림아파트 104동 1002호                           |
| 【국적】       | KR  |
| 【발명자】      |   |
| 【성명의 국문표기】 | 김진성   |
| 【성명의 영문표기】 | KIM, JIN SUNG   |
| 【주민등록번호】   | 720918-1025817  |
| 【우편번호】     | 431-080   |
| 【주소】       | 경기도 안양시 동안구 호계동 샘마을대우아파트 108동 801호                      |
| 【국적】       | KR  |
| 【발명자】      |   |
| 【성명의 국문표기】 | 최학기   |
| 【성명의 영문표기】 | CHOI, HAK KI  |

|            |  |
|------------|--|
| 【주민등록번호】   | 701104-1068511   |
| 【우편번호】     | 330-300  |
| 【주소】       | 충청남도 천안시 성성동 500번지 우성아파트 105동 1301호                                  |
| 【국적】       | KR   |
| 【발명자】      |  |
| 【성명의 국문표기】 | 한찬영  |
| 【성명의 영문표기】 | HAN, CHAN YOUNG  |
| 【주민등록번호】   | 740108-1018711   |
| 【우편번호】     | 133-110  |
| 【주소】       | 서울특별시 성동구 성수1가동 676-5 현대아파트 102동 1104호                               |
| 【국적】       | KR   |
| 【심사청구】     | 청구   |
| 【취지】       | 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인<br>유미특허법인 (인) |
| 【수수료】      |  |
| 【기본출원료】    | 20 면 29,000 원  |
| 【가산출원료】    | 7 면 7,000 원  |
| 【우선권주장료】   | 0 건 0 원  |
| 【심사청구료】    | 12 항 493,000 원   |
| 【합계】       | 529,000 원  |
| 【첨부서류】     | 1. 요약서·명세서(도면)_1통  |

**【요약서】****【요약】**

플라즈마 디스플레이 패널의 구동 장치에서,  $V_s$  전압을 공급하는 제1 및 제2 신호선과 0V를 공급하는 제3 및 제4 신호선이 형성되어 있다. 패널 캐패시터의 Y 및 X 전극이 각각  $V_s$  전압 및 0V로 유지되고 있는 상태에서, 제1 전류 경로가 제1 신호선에서 인덕터를 거쳐 제4 신호선으로 형성되어, 인덕터에 제1 방향의 전류를 공급한다. 다음, 제2 전류 경로가 패널 캐패시터의 Y 전극에서 인덕터를 거쳐 패널 캐패시터의 X 전극으로 형성되어, 제1 방향의 전류와 패널 캐패시터와 인덕터 사이의 공진에 의해 패널 캐패시터의 Y 및 X 전극 전압이 바뀐다. 그리고 패널 캐패시터의 Y 및 X 전극이 각각 0V 및  $V_s$  전압으로 되었을 때, 제3 전류 경로가 제3 신호선, 인덕터 및 제2 신호선으로 형성되어 제1 방향의 전류의 크기가 줄어든다. 이와 같이 하면, 영전압 스위칭이 가능해지며 유지방전 펄스의 상승 및 하강 시간이 줄어든다.

**【대표도】**

도 2

**【색인어】**

PDP, 유지방전, 인덕터, 전력 회수, 영전압

**【명세서】****【발명의 명칭】**

플라즈마 디스플레이 패널의 구동 장치 및 구동 방법{APPARATUS AND METHOD FOR DRIVING A PLASMA DISPLAY PANEL}

**【도면의 간단한 설명】**

도 1은 본 발명의 실시예에 따른 플라즈마 디스플레이 패널을 나타내는 도면이다.

도 2는 본 발명의 실시예에 따른 플라즈마 디스플레이 패널의 유지방전 회로를 나타내는 도면이다.

도 3a 내지 도 3h는 본 발명의 실시예에 따른 유지방전 회로에서 각 모드 of 전류 경로를 나타내는 도면이다.

도 4는 본 발명의 실시예에 따른 유지방전 회로의 동작 타이밍을 나타내는 도면이다.

도 5는 본 발명의 다른 실시예에 따른 플라즈마 디스플레이 패널의 유지방전 회로를 나타내는 도면이다.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<6> 본 발명은 플라즈마 디스플레이 패널(plasma display panel, PDP)의 구동 장치 및 구동 방법에 관한 것으로, 특히 유지방전 회로에 관한 것이다.

- <7> 최근 액정 표시 장치(liquid crystal display, LCD), 전계 방출 표시 장치(field emission display, FED), 플라즈마 디스플레이 패널 등의 평면 표시 장치가 활발히 개발되고 있다. 이들 평면 표시 장치 중에서 플라즈마 디스플레이 패널은 다른 평면 표시 장치에 비해 휘도 및 발광효율이 높으며 시야각이 넓다는 장점이 있다. 따라서, 플라즈마 디스플레이 패널이 40인치 이상의 대형 표시 장치에서 종래의 음극선관(cathode ray tube, CRT)을 대체할 표시 장치로서 각광받고 있다.
- <8> 플라즈마 디스플레이 패널은 기체 방전에 의해 생성된 플라즈마를 이용하여 문자 또는 영상을 표시하는 평면 표시 장치로서, 그 크기에 따라 수십에서 수백 만개 이상의 화소가 매트릭스 형태로 배열되어 있다. 이러한 플라즈마 디스플레이 패널은 인가되는 구동 전압 파형의 형태와 방전 셀의 구조에 따라 직류형(DC형)과 교류형(AC형)으로 구분된다.
- <9> 직류형 플라즈마 디스플레이 패널은 전극이 방전 공간에 그대로 노출되어 있어서 전압이 인가되는 동안 전류가 방전 공간에 그대로 흐르게 되며, 이를 위해 전류 제한을 위한 저항을 만들어 주어야 하는 단점이 있다. 반면 교류형 플라즈마 디스플레이 패널에서는 전극을 유전체층이 덮고 있어 자연스러운 캐패시턴스 성분의 형성으로 전류가 제한되며 방전시 이온의 충격으로부터 전극이 보호되므로 직류형에 비해 수명이 길다는 장점이 있다.
- <10> 일반적으로 교류형 플라즈마 디스플레이 패널의 구동 방법은 리셋 기간, 어드레싱 기간, 유지방전 기간, 소거 기간으로 이루어진다. 리셋 기간은 셀에 어드

레싱 동작이 원활히 수행되도록 하기 위해 각 셀의 상태를 초기화시키는 기간이며, 어드레싱 기간은 패널에서 켜지는 셀과 켜지지 않는 셀을 선택하여 켜지는 셀(어드레싱된 셀)에 벽전하를 쌓아두는 동작을 수행하는 기간이다. 유지방전 기간은 어드레싱된 셀에 실제로 화상을 표시하기 위한 방전을 수행하는 기간으로, 유지방전 기간이 되면 주사 전극과 유지 전극에 유지방전 펄스가 교대로 인가되어 유지방전이 행하여져 영상이 표시된다. 소거 기간은 셀의 벽전하를 감소시켜 유지방전을 종료시키는 기간이다.

<11> 교류형 플라즈마 디스플레이 패널은 그 유지방전을 위한 주사 전극 및 유지 전극이 용량성 부하로 작용하기 때문에 주사 전극 및 유지 전극에 대한 캐패시턴스가 존재하며, 이와 같이 용량성 부하로 작용하는 주사 전극 및 유지 전극 사이의 패널은 등가적으로 패널 캐패시터로 표현된다. 이러한 패널 캐패시터에 유지방전을 위한 파형을 인가하기 위해서는 방전을 위한 전력 이외에 무효 전력이 필요하다. 따라서 유지방전 회로는 무효 전력을 회수하여 재사용하는 회로를 전력 회수 회로를 포함한다.

<12> 이러한 유지방전 회로로서 L.F. Weber에 의해 제안된 회로(미국 특허 번호 4,866,349 및 5,081,400)가 있다. Weber의 유지방전 회로에는 전력 회수용 캐패시터가 형성되어 있어서, 패널 캐패시터와 인덕터의 공진에 의해 패널 캐패시터의 에너지가 전력 회수용 캐패시터로 회수되거나 전력 회수용 캐패시터에 저장된 에너지가 패널 캐패시터로 전달된다.

<13> 그런데, 이러한 종래의 회로에서는 발광 개시 직후 전력 회수용 캐패시터가 항상 유지방전 전압의 절반만큼 충전되어야 하며, 그렇지 않은 상태에서는 유지방전 펄스 개시 시에 매우 큰 돌입 전류가 발생할 수 있다. 또한, 종래의 회로에서는 스위치의 도통



손실이나 스위칭 손실 등 회로 자체의 손실이 존재하기 때문에 에너지를 100% 회수하지 못하는 문제점이 있다. 이로 인하여 패널 캐패시터의 단자 전압을 유지방전 전압까지 올리지 못하거나 접지 전압까지 내리지 못하게 되어, 유지방전 구간에서 스위치들이 영 전압을 스위칭을 못하고 하드-스위칭을 하게 된다. 따라서, 불필요한 전력 손실이 발생하며 스위칭 소자의 스트레스가 증가한다. 그리고 종래의 유지방전 회로는 패널 캐패시터 단자 전압의 상승 및 하강 시간이 길어서, 방전이 패널 캐패시터 단자 전압의 상승 또는 하강 구간에서 일어날 수 있다.

**【발명이 이루고자 하는 기술적 과제】**

- <14> 본 발명이 이루고자 하는 기술적 과제는 소자의 스트레스를 줄일 수 있으며 유지방전 펄스의 상승 및 하강 시간을 줄일 수 있는 플라즈마 디스플레이 패널을 제공하는 것이다.

**【발명의 구성 및 작용】**

- <15> 이러한 과제를 해결하기 위해서 본 발명은 패널 캐패시터의 단자 전압이 바뀔 때 인덕터가 패널 캐패시터의 Y 전극과 X 전극 사이에 연결되도록 한다.
- <16> 본 발명의 첫 번째 특징에 따른 플라즈마 디스플레이 패널의 구동 장치에는, 각각 제1 및 제2 전압을 공급하는 제1 및 제2 전원 사이에 직렬로 연결되며 그 접점이 패널 캐패시터의 일단에 연결되는 제1 및 제2 스위칭 소자가 형성되어 있다. 제3 및 제4 스위칭 소자는 제1 및 제2 전원 사이에 직렬로 연결되어 있으며 접점이 패널 캐패시터의 타단에 연결되어 있다. 그리고 인덕터가 패널 캐패시터의 일단에 연결되며, 제5 및 제6 스위칭 소자가 인덕터와 패널 캐패시터의 타단 사이에 병렬로 연결된다.

- <17> 제1 다이오드가 제5 스위칭 소자와 인덕터 사이에 연결되고 제2 다이오드가 인덕터와 제6 스위칭 소자 사이에 연결될 수 있다.
- <18> 이때, 제1 전압과 제2 전압의 차는 플라즈마 디스플레이 패널의 유지방전에 필요한 유지방전 전압인 것이 바람직하다. 그리고 제1 내지 제4 스위칭 소자는 바디 다이오드를 가지는 것이 좋다.
- <19> 본 발명의 두 번째 특징에 따른 플라즈마 디스플레이 패널의 구동 장치에는, 패널 캐패시터의 일단에 전기적으로 연결되는 인덕터, 제1 전압을 공급하는 제1 및 제2 신호선, 그리고 제2 전압을 공급하는 제3 및 제4 신호선이 형성되어 있다. 패널 캐패시터의 일단 및 타단이 각각 제1 및 제2 전압으로 유지되고 있는 상태에서, 제1 전류 경로가 제1 신호선에서 인덕터를 거쳐 제4 신호선으로 형성되어, 인덕터에 제1 방향의 전류를 공급한다. 제2 전류 경로가 패널 캐패시터의 일단에서 인덕터를 거쳐 패널 캐패시터의 타단으로 형성되어, 제1 방향의 전류와 패널 캐패시터와 인덕터 사이의 공진에 의해 패널 캐패시터의 일단 및 타단 전압이 바뀐다. 그리고 패널 캐패시터의 일단 및 타단이 각각 제2 및 제1 전압으로 되었을 때, 제3 전류 경로가 제3 신호선, 인덕터 및 제2 신호선으로 형성되어 제1 방향의 전류의 크기가 줄어든다.
- <20> 이때, 패널 캐패시터의 일단 및 타단이 각각 제2 및 제1 전압으로 되었을 때, 패널 캐패시터의 일단 및 타단이 각각 제3 및 제2 신호선에 전기적으로 연결되는 것이 바람직하다.
- <21> 본 발명에 따른 플라즈마 디스플레이 패널의 구동 방법에 따르면, 패널 캐패시터의 일단 및 타단을 각각 제1 및 제2 전압으로 고정시킨 상태에서, 제1 전원과 제2 전원의 전압차로 제1 방향의 전류를 인덕터에 공급하여 제1 에너지를 저장한다. 다음, 패널 캐

패시터의 일단에서 인덕터를 거쳐 패널 캐패시터의 타단으로 형성되는 경로에서 발생하는 공진과 제1 에너지로 패널 캐패시터의 일단 및 타단 전압을 각각 제2 및 제1 전압으로 바꾼다. 그리고 패널 캐패시터의 일단 및 타단을 각각 제2 및 제1 전압으로 유지하면서, 인덕터에 남아 있는 에너지를 제1 전원으로 회수한다.

<22>       아래에서는 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.

<23>       도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 어떤 부분이 다른 부분과 연결되어 있다고 할 때, 이는 직접적으로 연결되어 있는 경우뿐 아니라 그 중간에 다른 소자를 사이에 두고 전기적으로 연결되어 있는 경우도 포함한다.

<24>       이제 본 발명의 실시예에 따른 플라즈마 디스플레이 패널의 구동 장치 및 구동 방법에 대하여 도면을 참고로 하여 상세하게 설명한다.

<25>       먼저, 도 1을 참조하여 본 발명의 실시예에 따른 플라즈마 디스플레이 패널에 대하여 설명한다.

<26>       도 1은 본 발명의 실시예에 따른 플라즈마 디스플레이 패널을 나타내는 도면이다.

- <27> 도 1에 나타낸 바와 같이, 본 발명의 실시예에 따른 플라즈마 디스플레이 패널은 플라즈마 패널(100), 어드레스 구동부(200), 주사·유지 구동부(300) 및 제어부(400)를 포함한다.
- <28> 플라즈마 패널(100)은 열 방향으로 배열되어 있는 복수의 어드레스 전극(A1~Am), 행 방향으로 지그재그로 배열되어 있는 복수의 주사전극(Y1~Yn) 및 유지전극(X1~Xn)을 포함한다. 어드레스 구동부(200)는 제어부(400)로부터 어드레스 구동 제어 신호를 수신하여 표시하고자 하는 방전 셀을 선택하기 위한 표시 데이터 신호를 각 어드레스 전극(A1~Am)에 인가한다. 주사·유지 구동부(300)는 유지방전 회로를 포함하며, 유지방전 회로는 제어부(400)로부터 유지방전 구동 제어 신호를 수신하여 주사 전극(Y1~Yn)과 유지 전극(X1~Xn)에 유지방전 펄스를 번갈아 입력함으로써 선택된 방전 셀에 대하여 유지방전을 수행한다. 제어부(400)는 외부로부터 영상 신호를 수신하여 어드레스 구동 제어 신호와 유지방전 구동 제어 신호를 생성하여 각각 어드레스 구동부(200)와 주사·유지 구동부(300)에 인가한다.
- <29> 이하, 도 2 내지 도 4를 참조하여 본 발명의 실시예에 따른 유지방전 회로에 대해서 상세히 설명한다.
- <30> 도 2는 본 발명의 실시예에 따른 플라즈마 디스플레이 패널의 유지방전 회로를 나타내는 도면이다. 도 3a 내지 도 3h는 본 발명의 실시예에 따른 유지방전 회로에서 각 모드의 전류 경로를 나타내는 도면이며, 도 4는 본 발명의 실시예에 따른 유지방전 회로의 동작 타이밍을 나타내는 도면이다.
- <31> 도 2에 나타낸 바와 같이, 본 발명의 실시예에 따른 유지방전 회로는 Y 전극 구동부(310), X 전극 구동부(320) 및 공진부(330)를 포함한다. Y 전극 구동부(310) 및 X 전

극 구동부(320)는 패널 캐패시터(Cp)의 Y 전극 및 X 전극에 연결되어 있으며, 각각 스위칭 소자( $Y_s$ ,  $Y_g$ ) 및 스위칭 소자( $X_s$ ,  $X_g$ )를 포함한다. 공진부(330)에는 인덕터(L)와 스위칭 소자( $X_a$ ,  $Y_a$ )가 형성되어 있다. 도 2에서는 스위칭 소자( $Y_s$ ,  $Y_g$ ,  $Y_a$ ,  $X_s$ ,  $X_g$ ,  $X_a$ )를 MOSFET으로 표시하였지만, 이에 한정되지 않고 동일 또는 유사한 기능을 수행한다면 어떠한 스위칭 소자를 사용하여도 관계없다. 그리고 이러한 스위칭 소자( $Y_s$ ,  $Y_g$ ,  $Y_a$ ,  $X_s$ ,  $X_g$ ,  $X_a$ )는 바디 다이오드를 가지는 것이 바람직하다.

<32> 자세하게 설명하면, 스위칭 소자( $Y_s$ ,  $Y_g$ )는  $V_s$  전압을 공급하는 전원( $V_s$ )과 접지단 사이에 직렬로 연결되어 있으며, 그 접점이 패널 캐패시터(Cp)의 Y 전극에 연결되어 있다. 스위칭 소자( $X_s$ ,  $X_g$ )는 전원( $V_s$ )과 접지단 사이에 직렬로 연결되어 있으며, 그 접점이 패널 캐패시터(Cp)의 X 전극에 연결되어 있다. 인덕터(L)는 패널 캐패시터(Cp)의 Y 전극에 연결되어 있으며, 스위칭 소자( $X_a$ ,  $Y_a$ )는 인덕터(L)와 패널 캐패시터(Cp)의 X 전극 사이에 병렬로 연결되어 있다. 이때, 인덕터(L)와 스위칭 소자( $X_a$ ,  $Y_a$ ) 사이에는 각각 다이오드(D1, D2)가 더 포함될 수 있다. 이 다이오드(D1, D2)는 각각 스위칭 소자( $X_a$ ,  $Y_a$ )의 바디 다이오드에 의해 흐를 수 있는 전류를 차단한다. 그리고 실제 회로에는 기생 성분이 존재하기 때문에, 인덕터와 스위칭 소자( $X_s$ ,  $X_g$ ) 사이의 전압을  $V_s$  전압 또는 0V로 클램핑하기 위한 다이오드(도시하지 않음)가 형성될 수 있다.

<33> 도 2에서는 인덕터(L)가 패널 캐패시터(Cp)의 Y 전극에 연결되는 것으로 설명하였지만, 인덕터(L)는 패널 캐패시터(Cp)의 X 전극에 연결될 수도 있으며 이 경우 스위칭 소자( $X_a$ ,  $Y_a$ )는 패널 캐패시터(Cp)의 Y 전극에 연결된다.

<34> 이러한 유지방전 회로의 동작에 대해서 도 3a 내지 도 3h, 도 4를 참조하여 상세히 설명한다.

<35> 도 3a 및 도 4를 보면, 모드 1(M1)에서는 스위칭 소자( $Y_s$ ,  $X_g$ )가 켜져 있어서 패널 캐패시터( $C_p$ )의 Y 및 X 전극 전압이 각각  $V_s$  및 0V로 유지되고 있다. 이 상태에서 스위칭 소자( $Y_a$ )가 켜져서 전원( $V_s$ ), 스위칭 소자( $Y_s$ ), 인덕터(L), 다이오드(D2), 스위칭 소자( $Y_a$ ,  $X_g$ ) 및 접지단으로 전류 경로가 형성된다. 이 전류 경로에 의해 인덕터(L)에 흐르는 전류( $I_L$ )는  $V_s/L$ 의 기울기를 가지고 선형적으로 증가하게 되어 인덕터(L)에 에너지가 축적된다.

<36> 다음, 모드 2(M2)에서는 스위칭 소자( $Y_a$ )가 켜진 상태에서 스위칭 소자( $Y_s$ ,  $X_g$ )가 꺼진다. 그러면 도 3b에 나타낸 바와 같이, 인덕터(L)에 흐르던 전류( $I_L$ )는 인덕터(L), 다이오드(D2), 스위칭 소자( $Y_a$ ) 및 패널 캐패시터( $C_p$ )의 경로로 흐르게 되어, 인덕터(L)와 패널 캐패시터( $C_p$ ) 사이에서 공진이 발생한다. 이 공진에 의해 패널 캐패시터( $C_p$ )의 Y 전극 전압( $V_y$ )은 0V까지 감소하고 X 전극 전압( $V_x$ )은  $V_s$  전압까지 증가한다. 도 4에 나타낸 바와 같이, 공진에 의해 인덕터(L)에 흐르는 전류( $I_L$ )는 최고치( $I_{pk}$ )까지 올라간 후 다시 줄어든다. 이때, 모드 1(M1)에서 미리 인덕터(L)에 에너지를 축적한 상태에서 공진이 발생하므로, 유지 방전 회로에 기생 성분이 있는 경우에도 Y 및 X 전극 전압( $V_y$ ,  $V_x$ )이 각각 0V 및  $V_s$  전압까지 바뀔 수 있다.

<37> 모드 3(M3)에서는 패널 캐패시터( $C_p$ )의 Y 및 X 전극 전압( $V_y$ ,  $V_x$ )이 각각 0V 및  $V_s$  전압으로 되어 스위칭 소자( $Y_g$ ,  $X_s$ )의 바디 다이오드가 도통하게 된다. 그러면, 도 3c에 나타낸 바와 같이 인덕터(L)에 흐르던 전류( $I_L$ )는 스위칭 소자( $Y_g$ )의 바디 다이오드, 인덕터(L), 다이오드(D2), 스위칭 소자( $Y_a$ ) 및 스위칭 소자( $X_s$ )의 바디 다이오드로 흐르게 되어  $-V_s/L$ 의 기울기로 선형적으로 감소한다. 즉, 인덕터(L)에 흐르는 전류는 전원( $V_s$ )으로 회수된다. 그리고 스위칭 소자( $Y_g$ ,  $X_s$ )가 켜져서 패널 캐패시터의 Y 및 X 전

극 전압( $V_y$ ,  $V_x$ )을 각각 0V 및  $V_s$  전압으로 유지한다. 이때, 스위칭 소자( $Y_g$ ,  $X_s$ )는 모두 드레인-소스 사이의 전압이 0 전압인 상태에서 켜지는 영전압 스위칭을 하므로, 스위칭 소자( $Y_g$ ,  $X_s$ )의 턴온 스위칭 손실이 발생하지 않는다.

<38> 모드 4(M4)에서는 인덕터(L)에 흐르는 전류( $I_L$ )가 0A로 되면 스위칭 소자( $Y_a$ )를 끈다. 스위칭 소자( $Y_g$ ,  $X_s$ )는 계속 켜져 있으므로 도 3d에 나타낸 바와 같이 패널 캐패시터( $C_p$ )의 Y 및 X 전극 전압은 각각 0V 및  $V_s$  전압으로 유지된다.

<39> 도 3e 및 도 4를 보면, 모드 5(M5)에서는 패널 캐패시터( $C_p$ )의 Y 및 X 전극 전압이 각각 0V 및  $V_s$  전압으로 유지되고 있는 상태에서 스위칭 소자( $X_a$ )가 켜져서 전원( $V_s$ ), 스위칭 소자( $X_s$ ,  $X_a$ ), 다이오드(D1), 인덕터(L), 스위칭 소자( $Y_g$ ) 및 접지단으로 전류 경로가 형성된다. 이 전류 경로에 의해 인덕터(L)에 흐르는 전류( $I_L$ )는 모드 1(M1)에서의 방향과는 반대 방향으로 흐르고 그 크기는  $V_s/L$ 의 기울기를 가지고 선형적으로 증가하게 되어 인덕터(L)에 에너지가 축적된다.

<40> 다음, 모드 6(M6)에서는 스위칭 소자( $X_a$ )가 켜진 상태에서 스위칭 소자( $Y_g$ ,  $X_s$ )가 꺼진다. 그러면, 도 3f에 나타낸 바와 같이 인덕터(L)에 흐르던 전류( $I_L$ )는 인덕터(L), 패널 캐패시터( $C_p$ ), 스위칭 소자( $X_a$ ) 및 다이오드(D1)의 경로로 흐르게 되어, 인덕터(L)와 패널 캐패시터( $C_p$ ) 사이에서 공진이 발생한다. 이 공진에 의해 패널 캐패시터( $C_p$ )의 Y 전극 전압( $V_y$ )은  $V_s$  전압까지 증가하고 X 전극 전압( $V_x$ )은 0V까지 감소한다. 도 4에 나타낸 바와 같이, 공진에 의해 인덕터(L)에 흐르는 전류( $I_L$ )의 크기는 최고치( $I_{pk}$ )까지 올라간 후 다시 줄어든다. 모드 5(M5)에서 인덕터(L)에 에너지를 축적한 상태에서 공진이 발생하므로, 유지 방전 회로에 기생 성분이 있는 경우에도 Y 및 X 전극 전압( $V_y$ ,  $V_x$ )이 각각  $V_s$  전압 및 0V까지 바뀔 수 있다.



<41> 모드 7(M7)에서는 패널 캐패시터( $C_p$ )의 Y 및 X 전극 전압( $V_y$ ,  $V_x$ )이 각각  $V_s$  전압 및 0V로 되어 스위칭 소자( $Y_s$ ,  $X_g$ )의 바디 다이오드가 도통하게 된다. 그러면, 도 3g에 나타낸 바와 같이 인덕터(L)에 흐르던 전류( $I_L$ )는 스위칭 소자( $X_g$ )의 바디 다이오드, 스위칭 소자( $X_a$ ), 다이오드(D1), 인덕터(L) 및 스위칭 소자( $Y_s$ )의 바디 다이오드로 흐르게 되어 그 크기가  $-V_s/L$ 의 기울기로 선형적으로 감소한다. 즉, 인덕터(L)에 흐르는 전류는 전원( $V_s$ )으로 회수된다. 그리고 스위칭 소자( $Y_s$ ,  $X_g$ )가 켜져서 패널 캐패시터의 Y 및 X 전극 전압( $V_y$ ,  $V_x$ )을 각각  $V_s$  전압 및 0V로 유지된다. 이때, 스위칭 소자( $Y_s$ ,  $X_g$ )는 모두 영전압 스위칭을 하므로, 스위칭 소자( $Y_s$ ,  $X_g$ )의 턴온 스위칭 손실이 발생하지 않는다.

<42> 인덕터(L)에 흐르는 전류( $I_L$ )가 0A로 되었을 때, 모드 8(M8)에서는 스위칭 소자( $X_a$ )를 끈다. 스위칭 소자( $Y_g$ ,  $X_s$ )는 계속 켜져 있으므로 도 3h에 나타낸 바와 같이 패널 캐패시터( $C_p$ )의 Y 및 X 전극 전압은 각각  $V_s$  전압 및 0V로 유지된다.

<43> 이러한 모드 1 내지 모드 8 과정을 반복하여 패널 캐패시터( $C_p$ )의 Y 및 X 전극에  $V_s$  전압과 0V 사이를 스윙하는 유지방전 펄스를 인가할 수 있다.

<44> 이상에서 설명한 바와 같이 본 발명의 실시예에서는 모드 1 및 모드 5에서 인덕터에 에너지를 축적한 상태에서 공진을 발생시키므로, 회로에 기생 성분이 있는 경우에도 영전압 스위칭을 할 수 있다. 또한 인덕터에 전류가 흐르는 상태에서 공진이 발생하므로 패널 캐패시터( $C_p$ )의 Y 및 X 전극 전압의 상승 또는 하강 시간이 짧아진다.

<45> 도 2의 실시예에서는 패널 캐패시터( $C_p$ )의 Y 및 X 전극 전압이  $V_s$  전압과 0V 사이를 스윙하도록 전원으로서  $V_s$  전압과 접지 전압을 사용하였다. 본 발명의 다른 실시예에 따르면,  $V_H$  전압을 공급하는 전원( $V_H$ )과  $(V_H - V_s)$  전압을 공급하는 전원( $V_L$ )이 사용된



다. 도 5에 나타낸 바와 같이, 스위칭 소자( $Y_s$ ,  $X_s$ )는 전원( $V_H$ )에 연결되고 스위칭 소자( $Y_g$ ,  $X_g$ )는 전원( $V_L$ )에 연결되어 있다. 이와 같이 하면, 패널 캐패시터( $C_p$ )의 Y 및 X 전극에는  $V_H$  전압과 ( $V_H - V_s$ ) 전압이 번갈아 인가되어, Y 및 X 전극의 전압차가  $V_s$  전압으로 되므로 유지방전에 필요한 전압이 패널 캐패시터( $C_p$ )에 인가될 수 있다.

<46> 그리고 본 발명의 실시예에서는 모드 1 내지 모드 3과 모드 5 내지 모드 7에서 흐르는 전류가 동일한 인덕터를 통과하도록 하였지만, 다른 인덕터를 통과하도록 할 수도 있다. 도 2에서 패널 캐패시터( $C_p$ )의 Y 전극과 스위칭 소자( $X_a$ ) 사이에 형성되는 인덕터[이하 인덕터(L1)라 함]와 X 전극과 스위칭 소자( $Y_a$ ) 사이에 형성되는 인덕터[이하 인덕터(L2)라 함]를 다르게 한다. 이와 같이 하면, 모드 1 내지 모드 3에서는 인덕터(L1)를 통하여 전류가 흐르고 모드 5 내지 모드 7에서는 인덕터(L2)를 통하여 전류가 흐른다.

<47> 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

#### 【발명의 효과】

<48> 이와 같이 본 발명에 의하면, 미리 축적된 인덕터의 에너지를 이용하여 패널 캐패시터의 단자 전압을  $V_s$  전압 및 0V 전압으로 바꿀 수 있으므로 영전압 스위칭이 가능해지며, 이에 따라 스위칭 소자의 스트레스가 감소한다. 또한 유지방전 펄스의 상승 및

하강 시간이 줄어들어 안정적인 방전이 일어날 수 있다. 그리고 전력 회수용 캐패시터가 필요 없으므로 기동시 돌입 전류가 발생하지 않는다.

**【특허청구범위】****【청구항 1】**

서로 쌍을 이루어 배열된 복수의 주사 전극 및 유지 전극과 상기 주사 전극 및 유지 전극 사이에 형성되는 패널 캐패시터를 포함하는 플라즈마 디스플레이 패널의 구동 장치에 있어서,

각각 제1 및 제2 전압을 공급하는 제1 및 제2 전원 사이에 직렬로 연결되며 그 접점이 패널 캐패시터의 일단에 연결되는 제1 및 제2 스위칭 소자,

상기 제1 및 제2 전원 사이에 직렬로 연결되며 그 접점이 패널 캐패시터의 타단에 연결되는 제3 및 제4 스위칭 소자,

패널 캐패시터의 일단에 연결되는 인덕터, 그리고

상기 인덕터와 상기 패널 캐패시터의 타단 사이에 병렬로 연결되는 제5 및 제6 스위칭 소자

를 포함하는 플라즈마 디스플레이 패널의 구동 장치.

**【청구항 2】**

제1항에 있어서,

상기 제5 스위칭 소자와 상기 인덕터 사이에 연결되는 제1 다이오드, 및 상기 인덕터와 상기 제6 스위칭 소자 사이에 연결되는 제2 다이오드를 더 포함하는 플라즈마 디스플레이 패널의 구동 장치.

**【청구항 3】**

제1항에 있어서,

상기 제1 전압과 상기 제2 전압의 차는 상기 플라즈마 디스플레이 패널의 유지방전에 필요한 유지방전 전압인 플라즈마 디스플레이 패널의 구동 장치.

**【청구항 4】**

제1항에 있어서,

상기 제1 내지 제4 스위칭 소자는 바디 다이오드를 가지는 플라즈마 디스플레이 패널의 구동 장치.

**【청구항 5】**

서로 쌍을 이루어 배열된 복수의 주사 전극 및 유지 전극과 상기 주사 전극 및 유지 전극 사이에 형성되는 패널 캐패시터를 포함하는 플라즈마 디스플레이 패널의 구동 장치에 있어서,

상기 패널 캐패시터의 일단에 전기적으로 연결되는 인덕터,

상기 제1 전압을 공급하는 제1 및 제2 신호선,

상기 제2 전압을 공급하는 제3 및 제4 신호선,

상기 패널 캐패시터의 일단 및 타단이 각각 제1 및 제2 전압으로 유지되고 있는 상태에서, 상기 제1 신호선에서 상기 인덕터를 거쳐 상기 제4 신호선으로 형성되어 상기 인덕터에 제1 방향의 전류를 공급하는 제1 전류 경로,

상기 패널 캐패시터의 일단에서 상기 인덕터를 거쳐 상기 패널 캐패시터의 타단으로 형성되며, 상기 제1 방향의 전류와 상기 패널 캐패시터와 상기 인덕터 사이의 공진에 의해 상기 패널 캐패시터의 일단 및 타단 전압이 바뀌는 제2 전류 경로, 그리고

상기 패널 캐패시터의 일단 및 타단이 각각 상기 제2 및 제1 전압으로 되었을 때, 상기 제1 방향의 전류의 크기가 줄어들도록 상기 제3 신호선, 상기 인덕터 및 상기 제2 신호선으로 형성되는 제3 전류 경로를 포함하는 플라즈마 디스플레이 패널의 구동 장치.

#### 【청구항 6】

제5항에 있어서,

상기 패널 캐패시터의 일단 및 타단이 각각 상기 제2 및 제1 전압으로 되었을 때, 상기 패널 캐패시터의 일단 및 타단이 각각 상기 제3 및 제2 신호선에 전기적으로 연결되는 플라즈마 디스플레이 패널의 구동 장치.

#### 【청구항 7】

제5항에 있어서,

상기 패널 캐패시터의 일단 및 타단이 각각 제2 및 제1 전압으로 유지되고 있는 상태에서, 상기 제2 신호선에서 상기 인덕터를 거쳐 상기 제3 신호선으로 형성되어 상기 인덕터에 상기 제1 방향과는 반대 방향인 제2 방향의 전류를 공급하는 제4 전류 경로,

상기 패널 캐패시터의 타단에서 상기 인덕터를 거쳐 상기 패널 캐패시터의 일단으로 형성되며, 상기 제2 방향의 전류와 상기 패널 캐패시터와 상기 인덕터 사이의 공진에 의해 상기 패널 캐패시터의 일단 및 타단 전압이 바뀌는 제5 전류 경로, 그리고

상기 패널 캐패시터의 일단 및 타단이 각각 상기 제1 및 제2 전압으로 되었을 때,  
상기 제2 방향의 전류의 크기가 줄어들도록 상기 제4 신호선, 상기 인덕터 및 상기 제1  
신호선으로 형성되는 제6 전류 경로  
를 더 포함하는 플라즈마 디스플레이 패널의 구동 장치.

【청구항 8】

제7항에 있어서,

상기 패널 캐패시터의 일단 및 타단이 각각 상기 제1 및 제2 전압으로 되었을 때,  
상기 패널 캐패시터의 일단 및 타단이 각각 상기 제1 및 제4 신호선에 전기적으로 연결  
되는 플라즈마 디스플레이 패널의 구동 장치.

【청구항 9】

제5항에 있어서,

상기 제1 전압과 상기 제2 전압의 차는 상기 플라즈마 디스플레이 패널의 유지방전  
에 필요한 유지방전 전압인 플라즈마 디스플레이 패널의 구동 장치.

【청구항 10】

서로 쌍을 이루어 배열된 복수의 주사 전극 및 유지 전극, 상기 주사 전극 및 유지  
전극 사이에 형성되는 패널 캐패시터, 상기 패널 캐패시터의 일단에 전기적으로 연결되  
는 인덕터 및 각각 제1 및 제2 전압을 공급하는 제1 및 제2 전원을 포함하는 플라즈마  
디스플레이 패널을 구동하는 방법에 있어서,

상기 패널 캐패시터의 일단 및 타단을 각각 상기 제1 및 제2 전압으로 고정시킨 상태에서, 상기 제1 전원과 상기 제2 전원의 전압차로 제1 방향의 전류를 상기 인덕터에 공급하여 제1 에너지를 저장하는 제1 단계,

상기 패널 캐패시터의 일단에서 상기 인덕터를 거쳐 상기 패널 캐패시터의 타단으로 형성되는 경로에서 발생하는 공진과 상기 제1 에너지로 상기 패널 캐패시터의 일단 및 타단 전압을 각각 상기 제2 및 제1 전압으로 바꾸는 제2 단계, 그리고

상기 패널 캐패시터의 일단 및 타단을 각각 상기 제2 및 제1 전압으로 유지하면서, 상기 인덕터에 남아 있는 에너지를 상기 제1 전원으로 회수하는 제3 단계를 포함하는 플라즈마 디스플레이 패널의 구동 방법.

#### 【청구항 11】

제10항에 있어서,

상기 제1 전압과 상기 제2 전압의 차는 상기 플라즈마 디스플레이 패널의 유지방전에 필요한 유지방전 전압인 플라즈마 디스플레이 패널의 구동 방법.

#### 【청구항 12】

제10항에 있어서,

상기 패널 캐패시터의 일단 및 타단을 각각 상기 제2 및 제1 전압으로 고정시킨 상태에서, 상기 제1 전원과 상기 제2 전원의 전압차로 상기 제1 방향과는 반대 방향인 제2 방향의 전류를 상기 인덕터에 공급하여 제2 에너지를 저장하는 제4 단계,

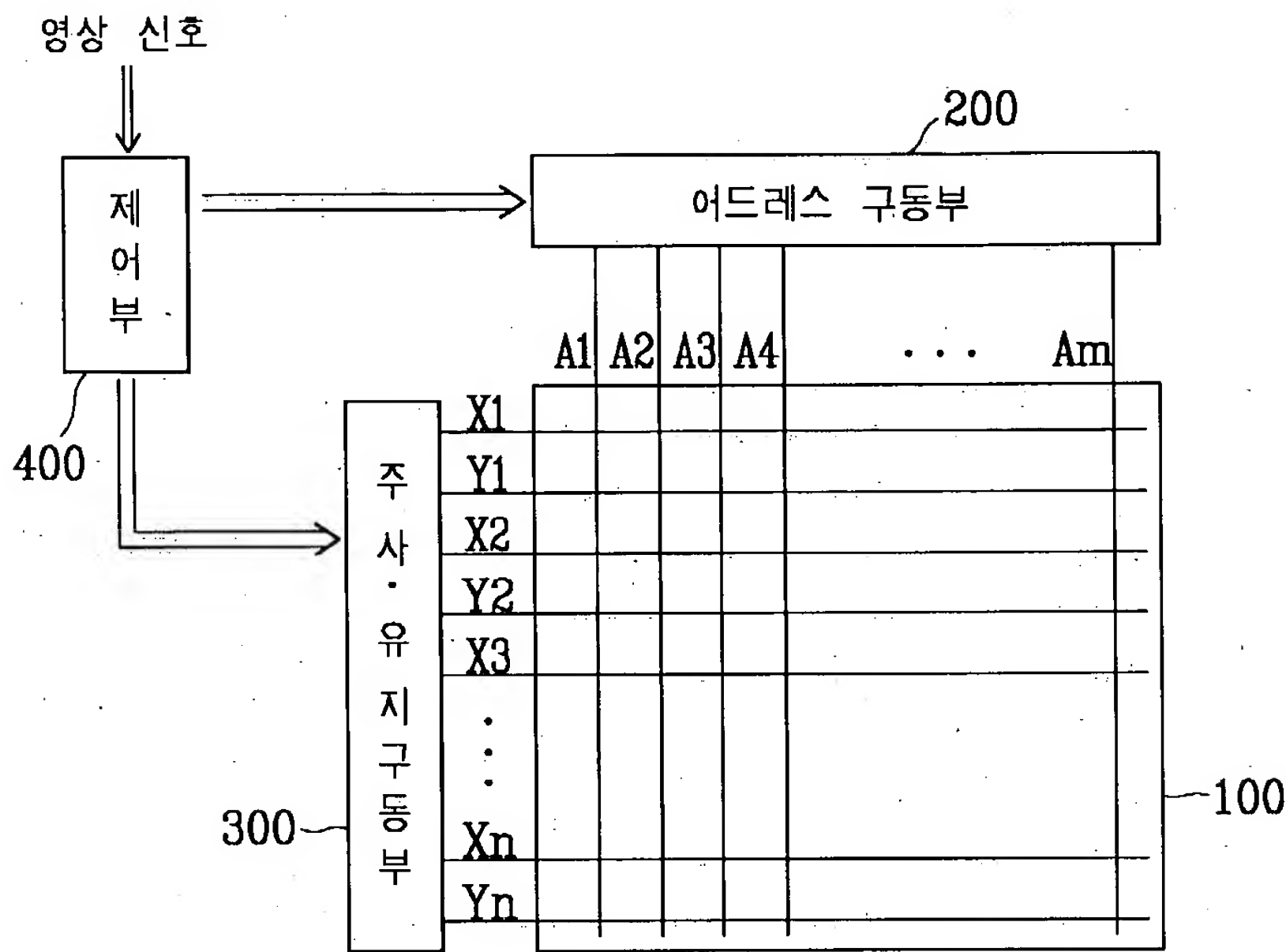
상기 패널 캐패시터의 타단에서 상기 인덕터를 거쳐 상기 패널 캐패시터의 일단으로 형성되는 경로에서 발생하는 공진과 상기 제2 에너지로 상기 패널 캐패시터의 일단 및 타단 전압을 각각 상기 제1 및 제2 전압으로 바꾸는 제5 단계, 그리고

상기 패널 캐패시터의 일단 및 타단을 각각 상기 제1 및 제2 전압으로 유지하면서, 상기 인덕터에 남아 있는 에너지를 상기 제1 전원으로 회수하는 제6 단계를 더 포함하는 플라즈마 디스플레이 패널의 구동 방법을.

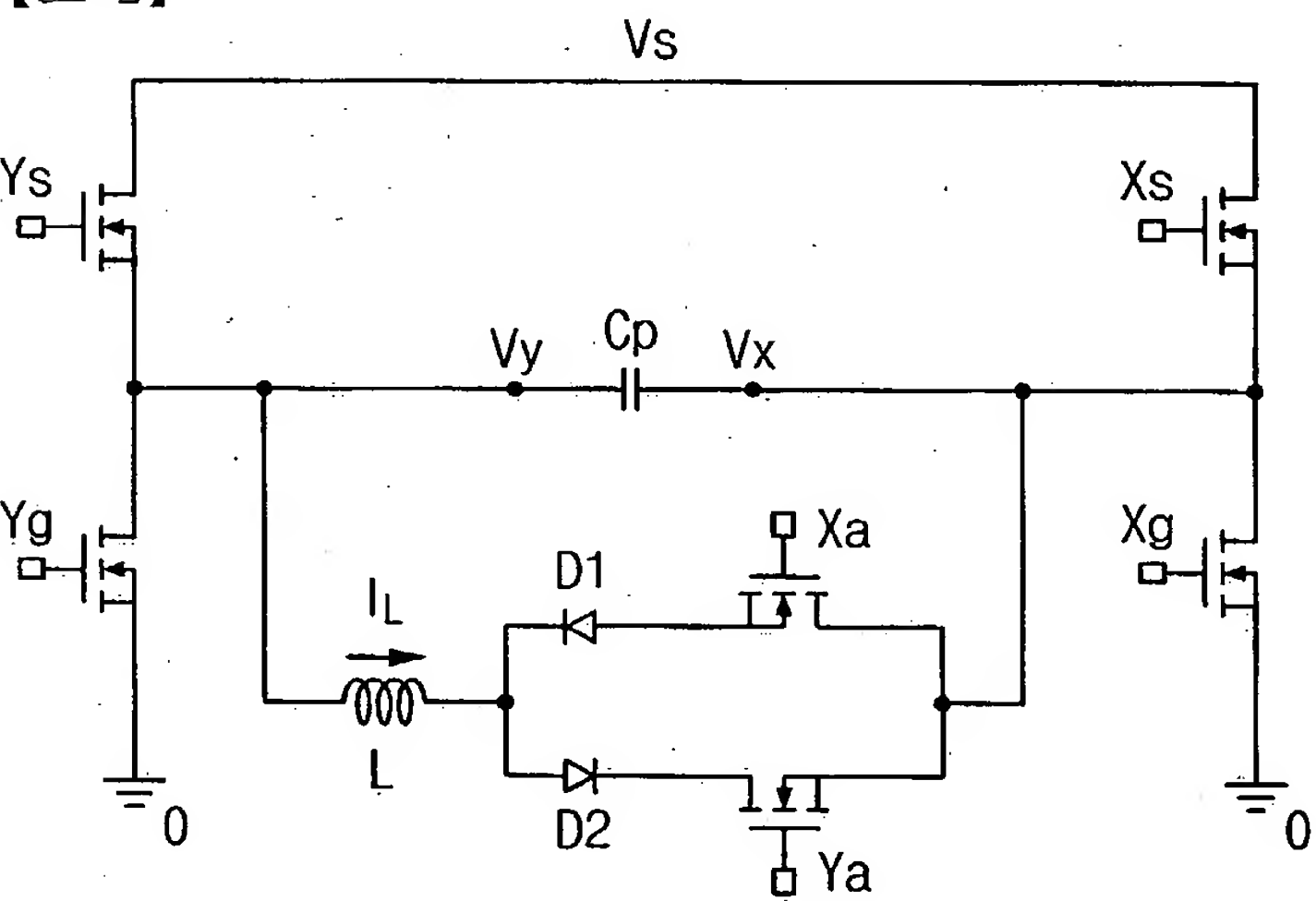


【도면】

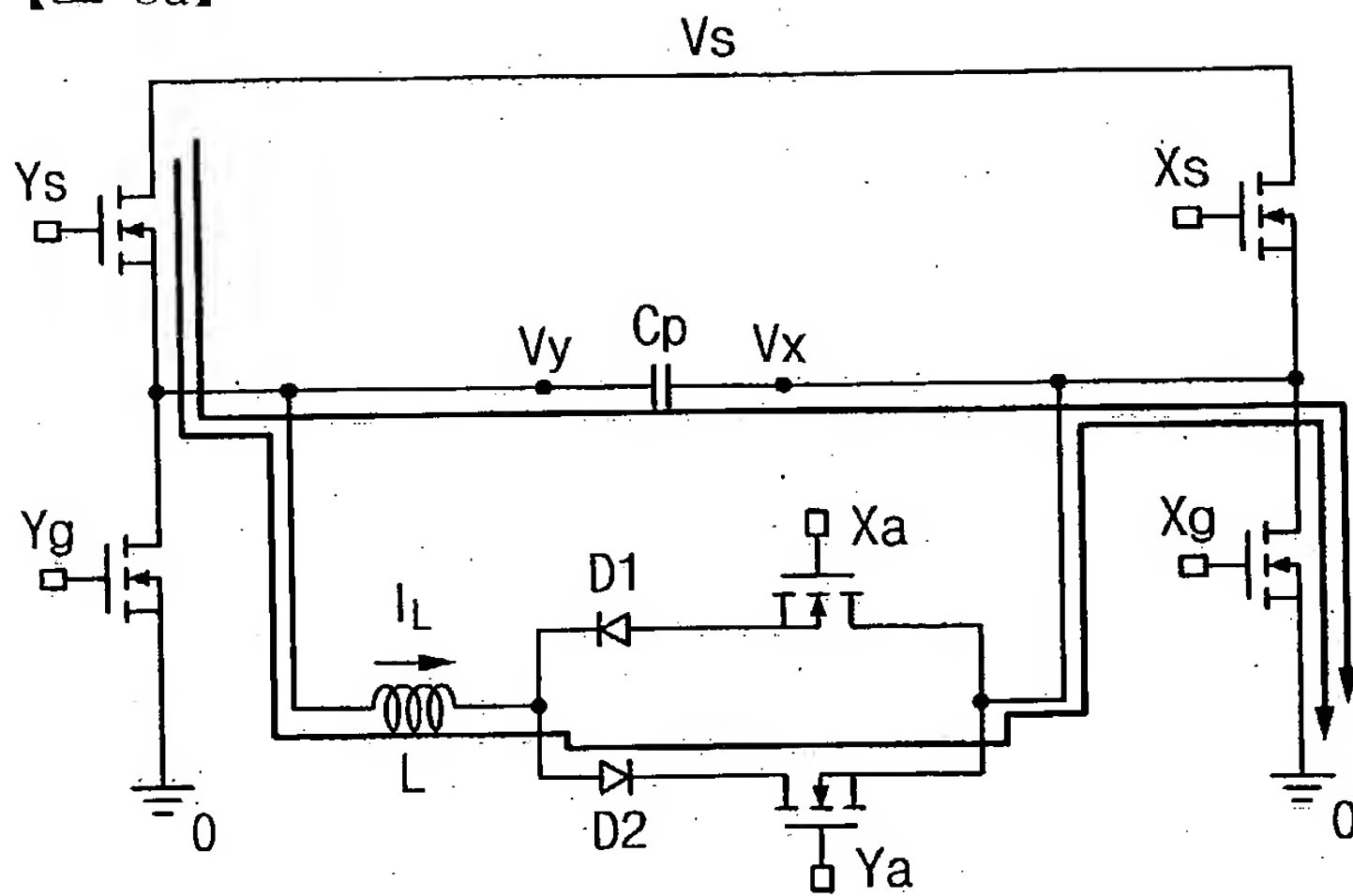
【도 1】



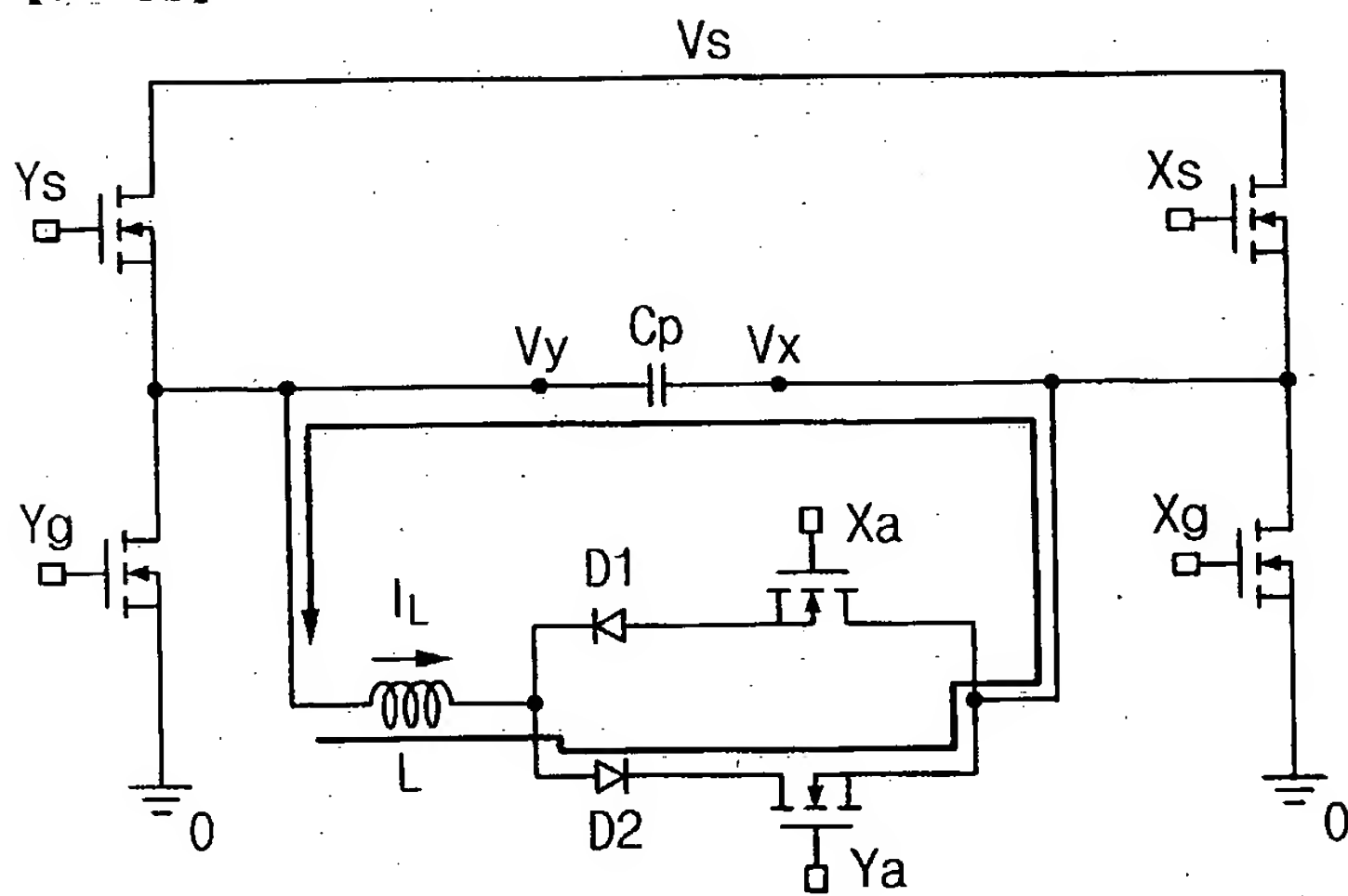
【도 2】



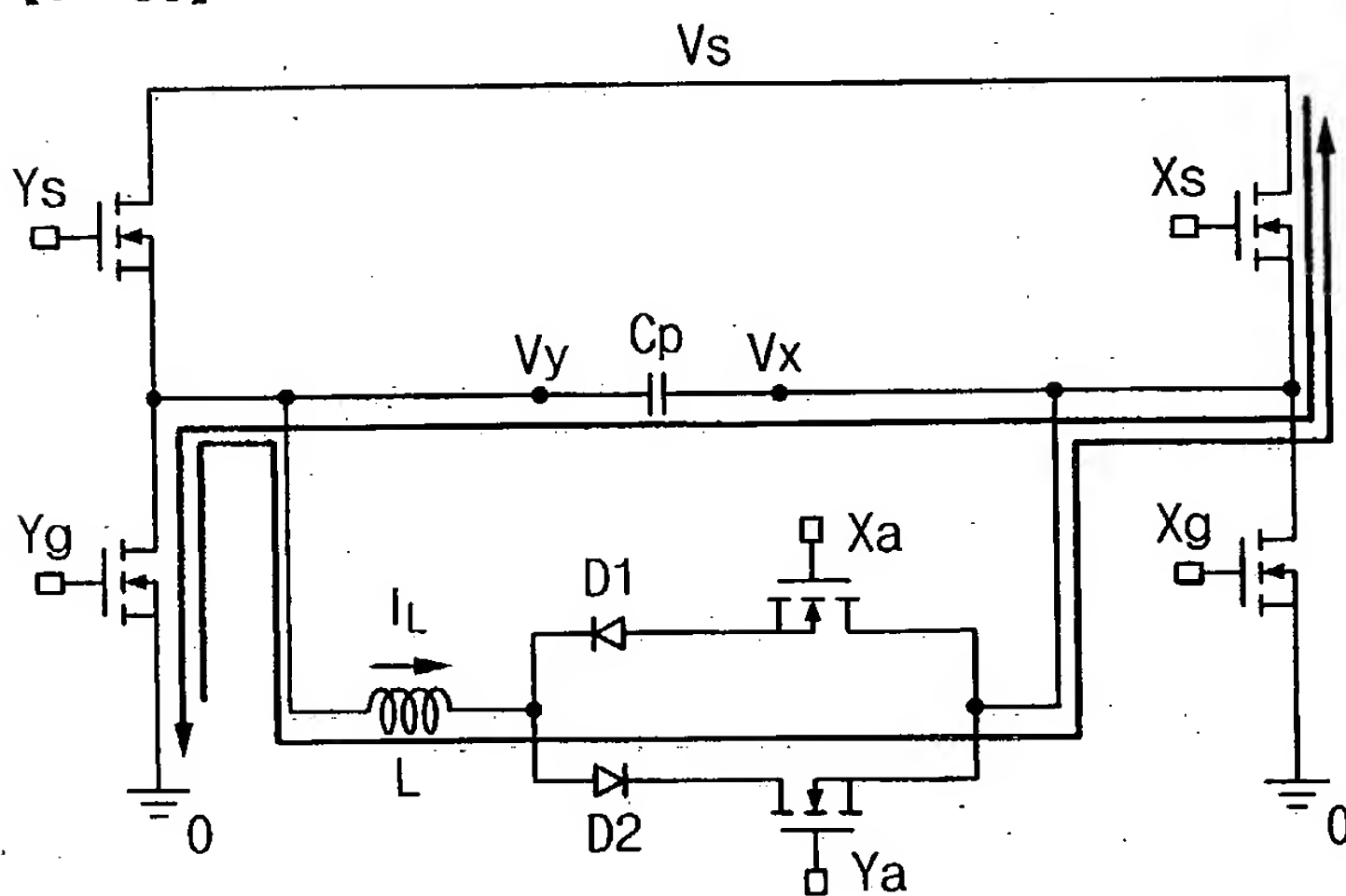
【도 3a】



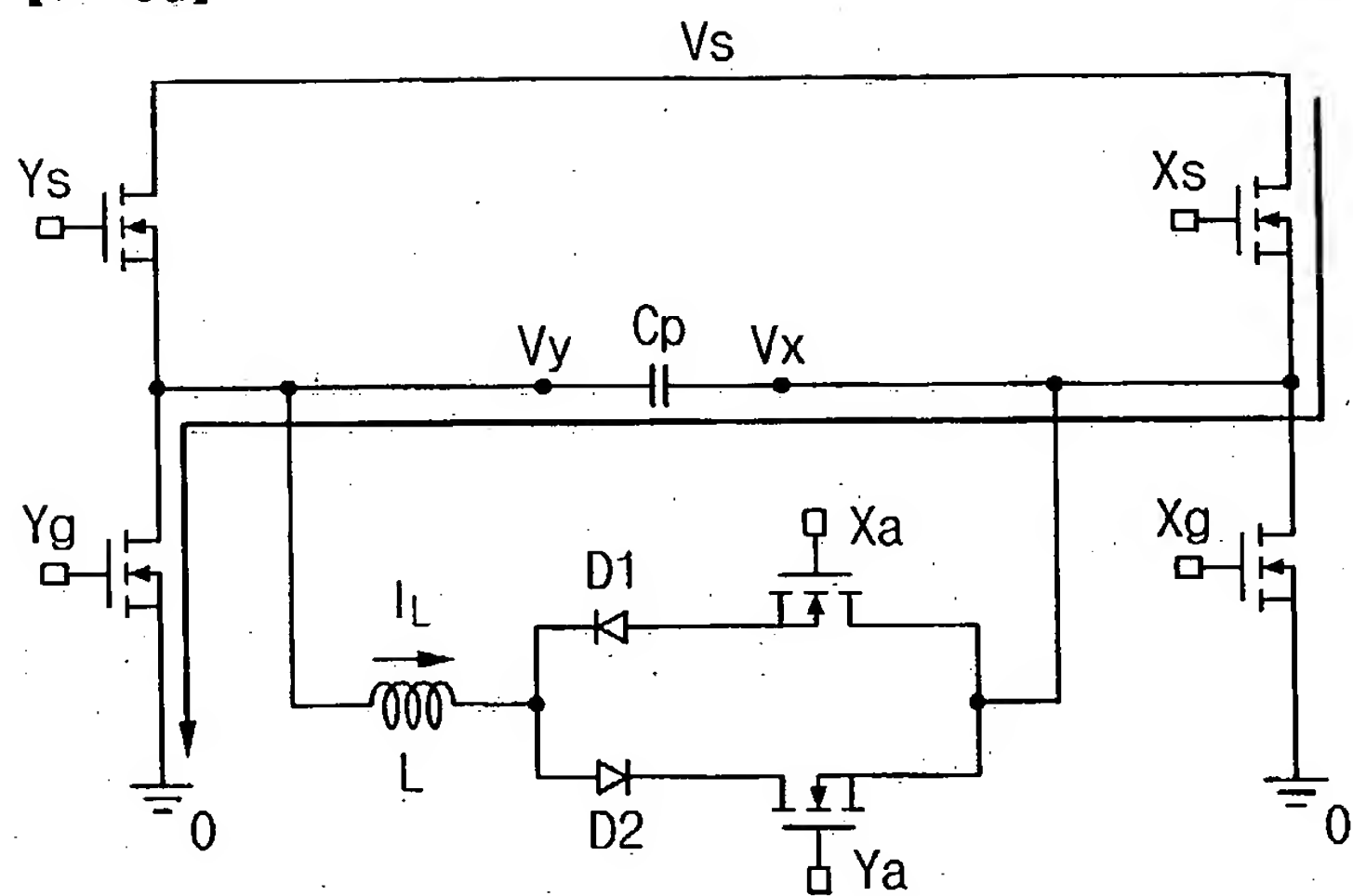
【도 3b】



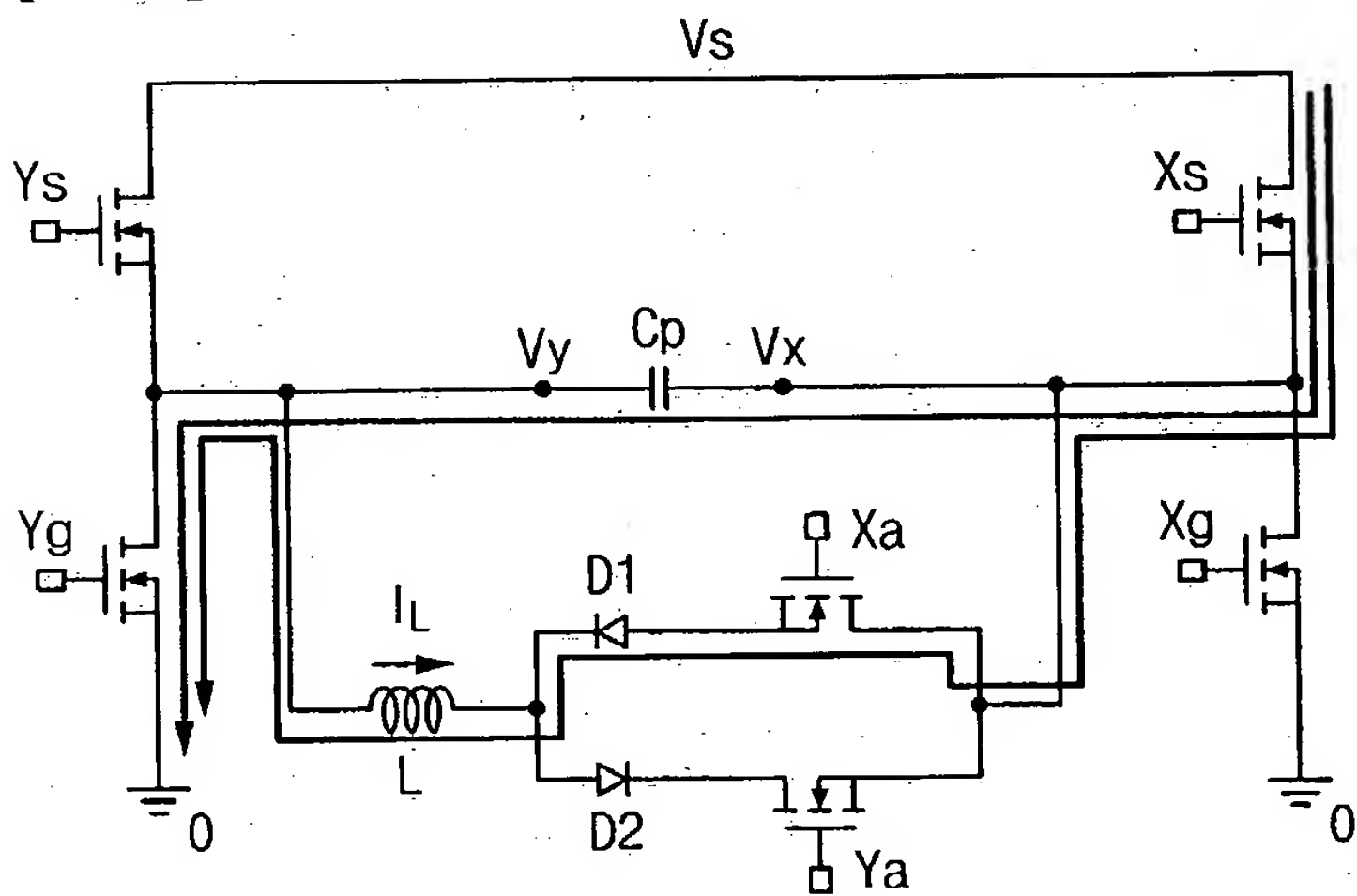
【도 3c】



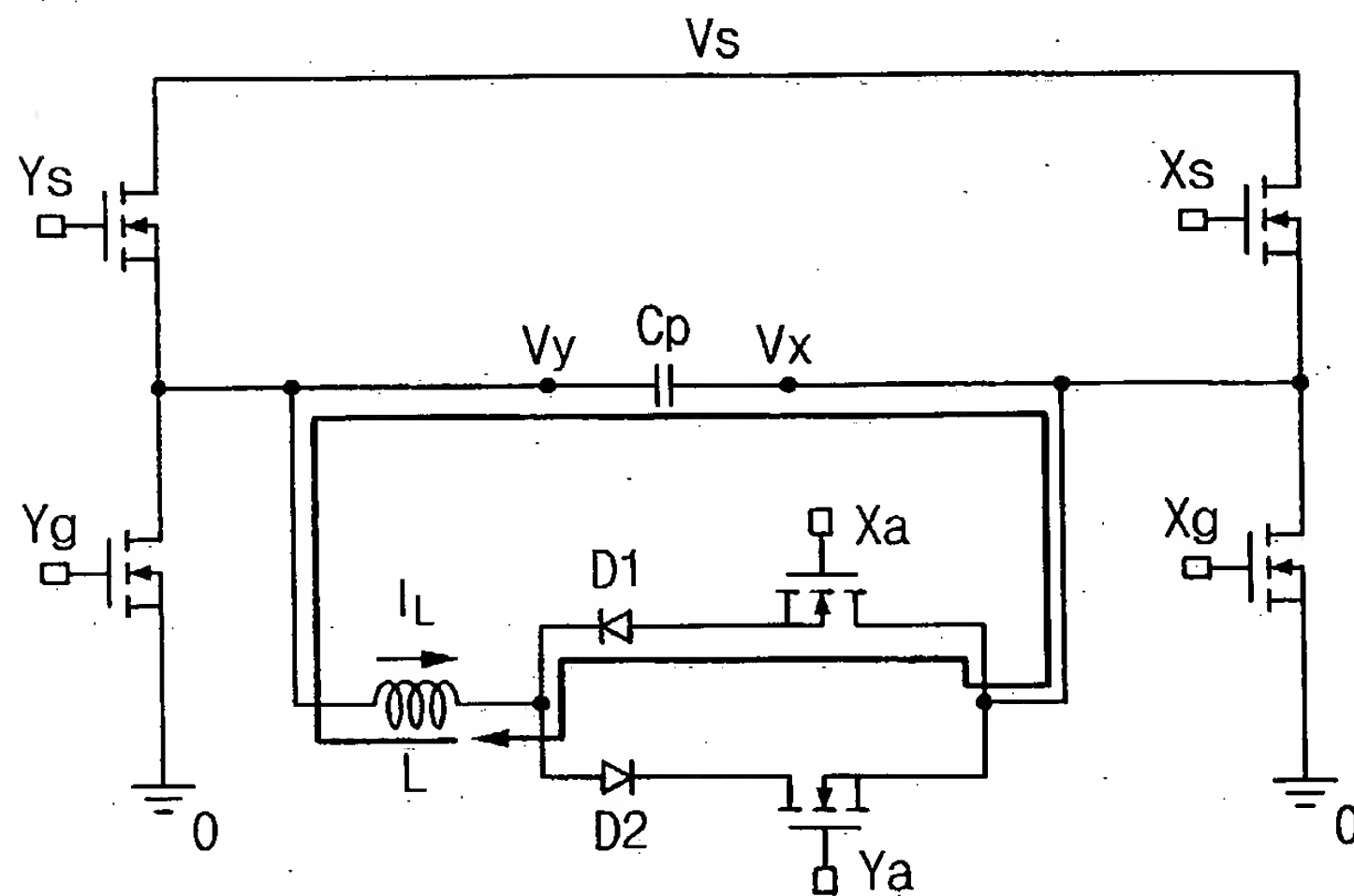
【도 3d】



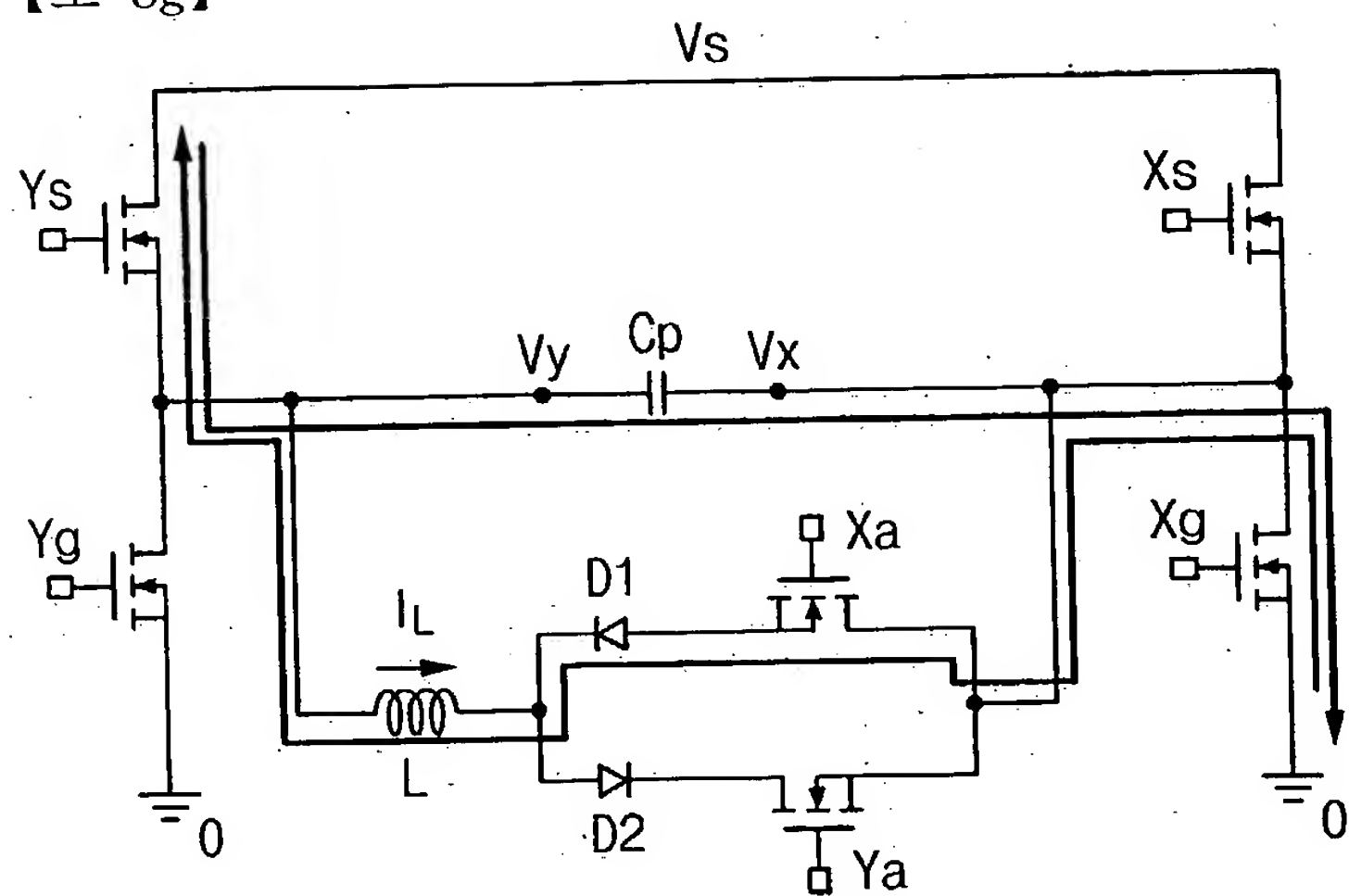
【도 3e】



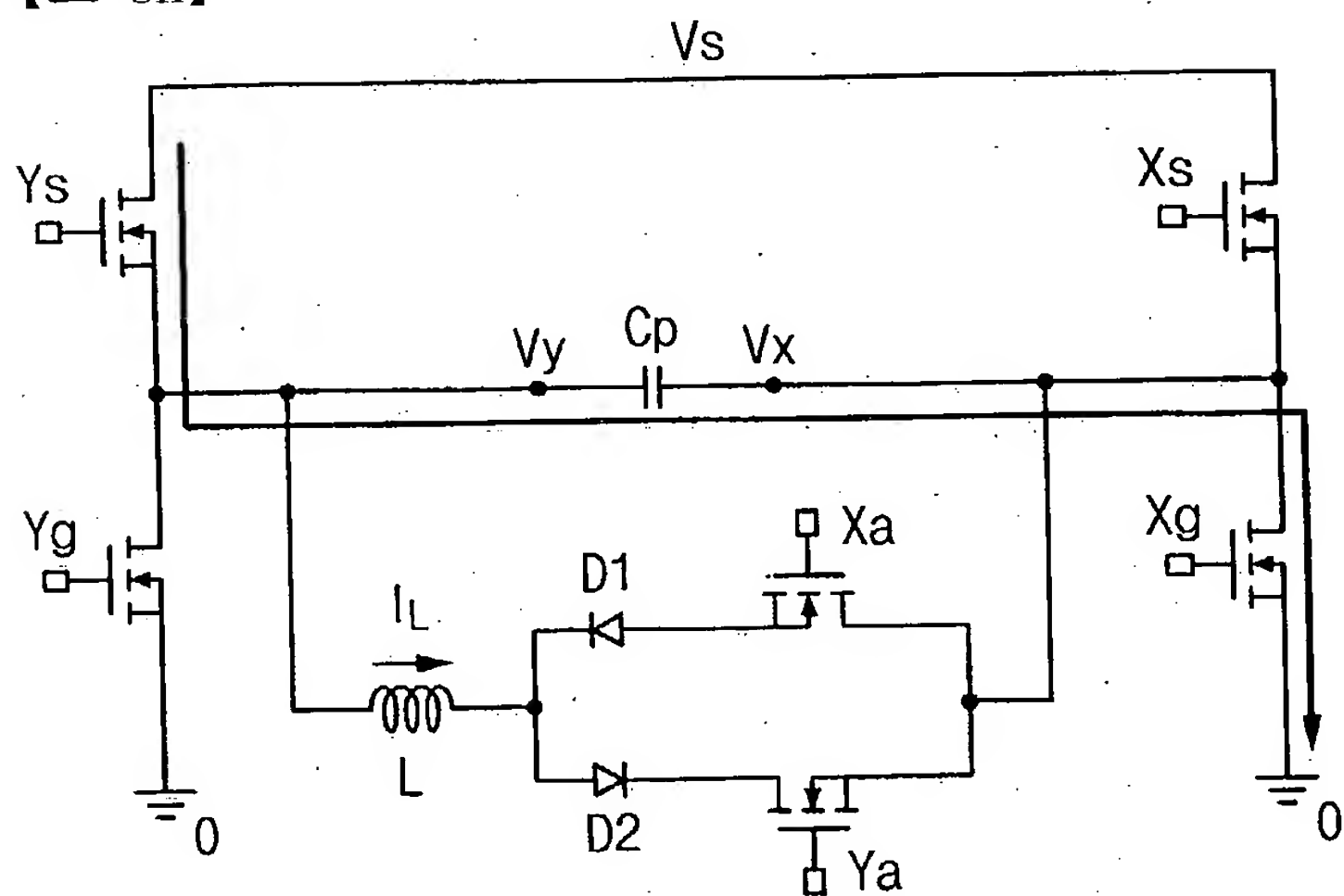
【도 3f】



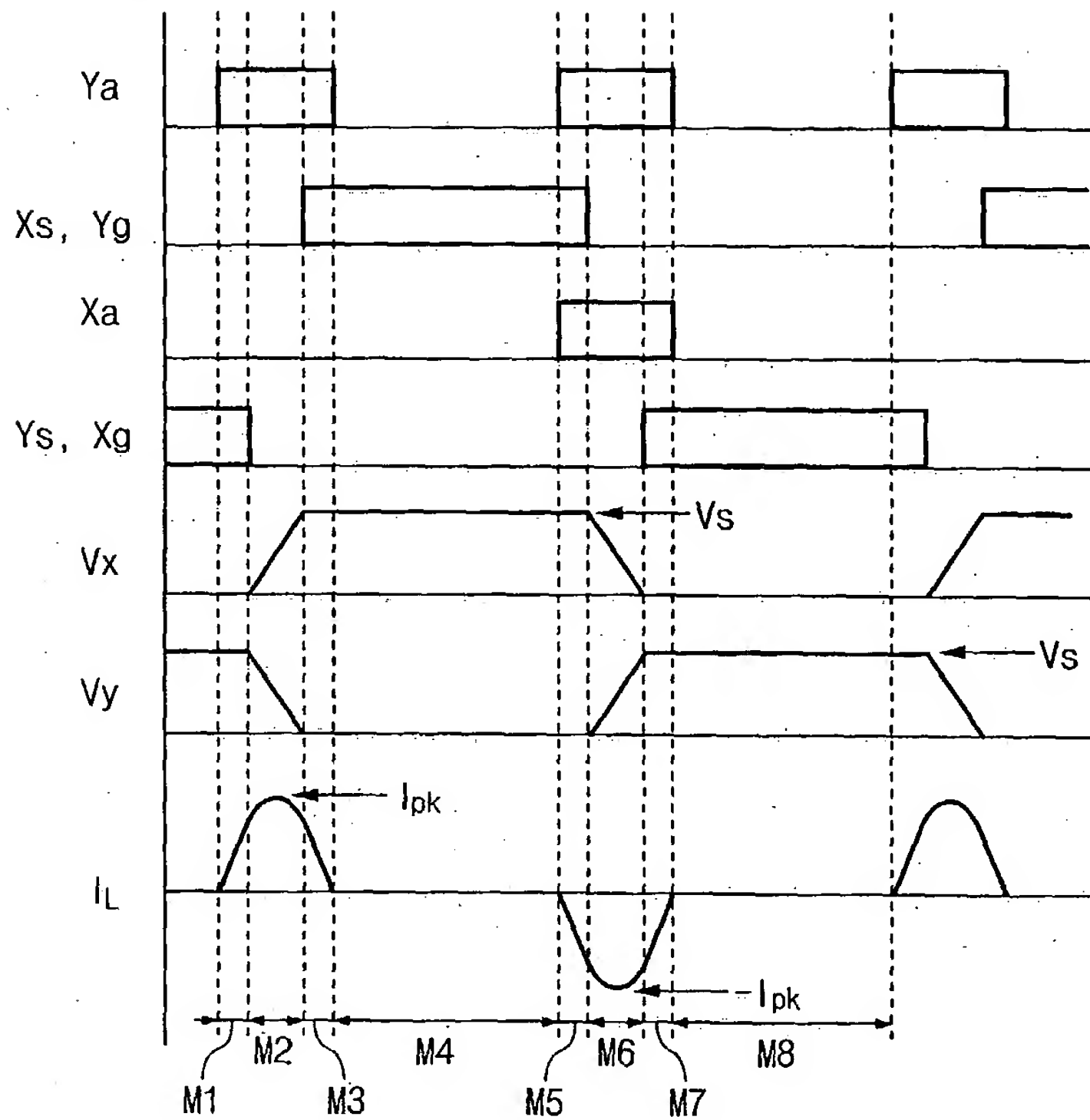
【도 3g】



【도 3h】



【도 4】



【도 5】

